

部分耗尽 SOI 工艺器件辐射效应的研究

张晓晨, 岳素格, 李建成

(北京微电子技术研究所, 北京 100076)

摘 要: 对 0.13 μm 部分耗尽 SOI 工艺的抗辐射特性进行了研究. 首先通过三维仿真研究了单粒子事件中的器件敏感区域, 随后通过实验分析了器件的总剂量效应. 三维仿真研究了离子入射位置不同时 SOI NMOS 器件的寄生双极效应和电荷收集现象, 结果表明, 离子入射在晶体管的体区和漏区时, 均可以引起较大水平的电荷收集. 对 SRAM 单元的单粒子翻转效应(SEU)进行了仿真, 结果表明, 体区和反偏的漏区都是翻转的敏感区域. 通过辐照实验分析了器件的总剂量效应, 在该工艺下对于隐埋氧化层, 关断状态是比传输门状态更劣的辐射偏置条件.

关键词: SOI; 辐射效应; 单粒子翻转; 总剂量效应

中图分类号: TN4

文献标识码: A

文章编号: 1000-7180(2012)08-0138-06

Research on the Radiation Effect of the Partially Depleted SOI Device

ZHANG Xiao-chen, YUE Su-ge, LI Jian-cheng

(Beijing Microelectronics Technology Institute, Beijing 100076, China)

Abstract: The characteristic of the radiation effect of the 0.13 μm partially depleted SOI technology is researched in this paper. First, the sensitive area of the device in single event upset is studied through 3D simulation, and then the devices' total ionizing dose (TID) effect is analyzed by experiments. The 3D simulation explored the parasitic bipolar effect and the charge collection of the SOI NMOS devices in case of different strike locations, and showed that both the strikes at the body and drain area could cause relatively great charge collection. The simulation on the SEU of SRAM cell also showed that both the body and reverse-biased drain are sensitive areas to SEU. The result of the TID experiments showed that, the OFF bias state is worse than the TG state for the buried oxide in the device of this technology.

Key words: SOI; radiation effect; single event upset; total ionizing dose

1 引言

SOI 工艺中, 电路部分仅处在绝缘衬底的硅薄膜上, 辐射产生载流子的硅体积大大减小, 再加上小的结面积, 使得 SOI 器件和电路具有非常好的抗失效、瞬时辐射和单粒子翻转的能力.

而对于总剂量效应, SOI 工艺和体硅工艺最大的不同在于, SOI 工艺中的隐埋氧化层会诱发电荷, 使得器件在总剂量辐射下的漏电效应更为复杂. 而器件的偏置情况对其隐埋氧化层中诱发电荷的分布也有所影响. 隐埋氧化层的存在大大降低了 SOI 工艺下器件和电路的抗总剂量辐射水平.

本文基于 0.13 μm 的部分耗尽 SOI 工艺, 通过 3D TCAD 仿真来分析离子从不同位置入射到器件中引起的电荷收集和放大, 从而确定单粒子效应中 SOI 器件的敏感区域.

2 SOI 工艺下器件敏感区域及单粒子翻转特性的分析

和体硅工艺相比, SOI 工艺的隐埋氧化层结构及其较薄的顶层硅膜, 大大减少了离子入射的产生电荷和电路中的收集电荷, 所以和体硅工艺相比, SOI 电路具有更好的抗单粒子翻转特性.

但是, SOI 结构中固有的寄生双极晶体管(图

1) 会放大器件中的电荷量,从而降低电路的抗翻转能力. 体接触结构是用来降低寄生双极效应的有效措施,其原理是像体硅器件那样将体区接到固定电位上(电源或地),体接触为体区中的多数载流子提供泄放通路,从而降低寄生双极晶体管的放大作用. 越是临近体接触的位置,其寄生双极放大效应越弱.

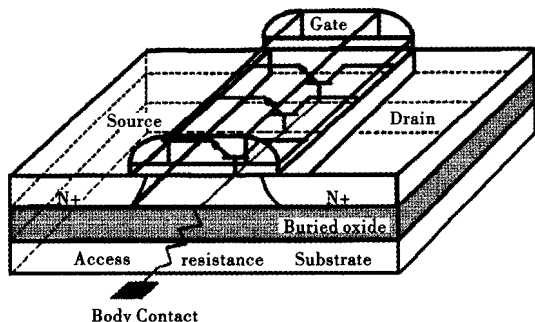


图1 SOI结构和寄生双极结构

基于体硅工艺的SRAM,其敏感区域为器件的反偏漏区,离子入射在该区域时才容易引起单元的翻转. 但在SOI工艺中,情况有所不同,以往的研究结果表明,对于SOI工艺下的SRAM,只有当离子入射进入到反偏器件体区时,才会引发漏端足够大的电荷收集,并导致SRAM单元的单粒子翻转^[1-2]. 可以认为,入射在SOI器件体区以外的离子(包括漏区)诱发的电荷,都不会对电荷收集做出贡献. 但是近年来一些研究表明,在某些SOI电路中,入射在栅极以外区域的离子,也可以导致相当数量的电荷收集并使电路发生翻转. 特别地漏区也可能是SOI器件的敏感区域^[3-4].

本节通过3D TCAD仿真得到离子从不同位置入射到器件中引起的电荷收集和放大结果,从而确定SOI器件的敏感区域,并仿真SRAM单元的单粒子翻转效应对结论进行验证. 在仿真中采用的晶体管为按照最小尺寸设计的6管SRAM单元中的驱动管——尺寸为 $0.3\ \mu\text{m}/0.13\ \mu\text{m}$ 的NMOS晶体管,采用T栅体接触结构,晶体管偏置在关断状态. 离子的垂直入射位置都在垂直于沟道宽度方向的中线上,但在沿沟道长度方向,各个器件的入射位置各不相同. 入射离子产生的电荷在器件中呈高斯分布,沿入射轨迹的LET值为常数 $5\ \text{MeVcm}^2/\text{mg}$.

对应于不同入射位置的电荷收集和放大结果在图2中给出,设定栅极的正中心为0点,图中的横坐标给出了离子的入射位置,左右两个纵轴分别表示电荷收集数和放大倍数. 可以发现,尽管离子入射位置不同,但各种情况下器件体接触收集的电荷数量

是基本一致的,都在 $5\ \text{fC}$ 左右,说明入射离子在顶层硅膜中产生的空穴基本都被体接触所收集(离子 $\text{LET}=0.5\ \text{pC}/\mu\text{m}$,硅膜厚度为 $100\ \text{nm}$). 和预先期望的结果一样,入射在源区的离子引起的漏极收集是很微小的. 而入射在体区和漏区的离子都可引起较大的电荷收集;除了入射位置离源区较近的情况外,其他入射在体区和漏区的离子都对应了大于1的电荷放大增益. 这说明除了入射位置在体区的离子外,入射在漏区的离子也能引发足够数量的电荷收集. 接下来选取 $0\ \mu\text{m}$ 和 $0.21\ \mu\text{m}$ 两个入射位置进行分析,分别位于栅中央和器件的漏区(图3).

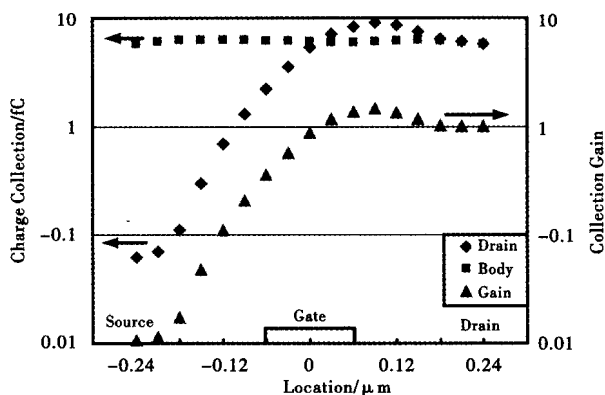


图2 离子入射在不同位置导致的电荷收集的放大增益

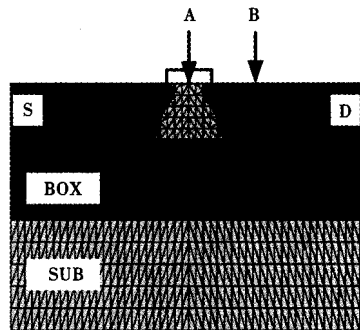


图3 入射位置 $0\ \mu\text{m}$ (A)和 $0.21\ \mu\text{m}$ (B)对应晶体管的体区和漏区

2.1 电荷收集

根据仿真结果可知,对于这两种情况,均会在离子入射后 $4.5\ \text{ps}$ 时表现出最大的器件内部电势扰动和最大的瞬态漏极收集电流. 图4所示为离子入射后 $4.5\ \text{ps}$ 时入射横截面的电子浓度和电势的分布,被颜色填充的区域体现的是电子浓度的信息,等势线描述了器件内部的电势分布,衬底的信息没有在图中体现. 由于SOI工艺小体积的薄层硅膜,接触到埋氧化层的源、漏掺杂及其纵向的漏-体结,器件中并没有呈现出在体硅工艺中能够观察到的漏

斗,然而和离子入射之前的信息(图 4(c))相比,依然可以从图中看出器件内部的电势扰动(即电场扰动).

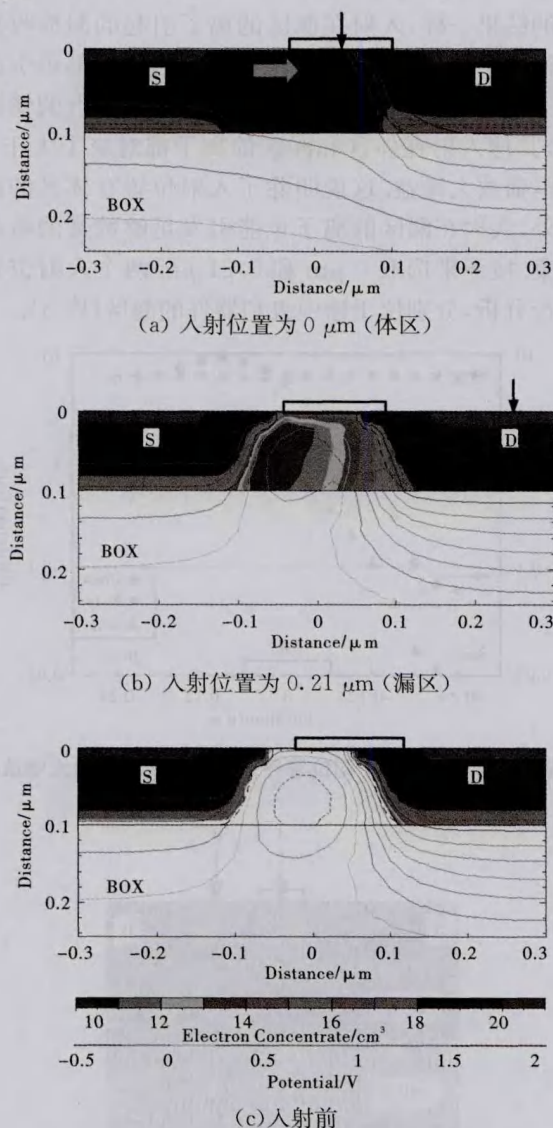


图 4 离子入射前后晶体管内部电场电势分布

离子入射到体区时($0 \mu\text{m}$),器件漏端的收集电流峰值远大于入射位置在漏区($0.21 \mu\text{m}$)的情况. 以往的研究已经得出,漏-体结的电场扰动会导致器件内部的漂移电流,这也是离子入射后引起器件瞬态反应的主要原因^[5-6]. 瞬态电流正说明了入射到体区的离子较之入射到漏区的情况,器件内部会呈现较大的电场和电势扰动,这在图 4 中也得到了印证. 对于离子入射在漏区($0.21 \mu\text{m}$)的情况,基本上入射离子所产生的电荷都淀积在了重掺杂的漏区,这对器件内部电场和电势的影响相对较小. 较之入射在体区的情况,离子入射在漏区后由漂移作用引起

的漏极收集电流有所降低,留下更多电荷通过扩散作用来收集,这导致了更长的收集时间(图 5). 对于入射在体区($0 \mu\text{m}$)和漏区($0.21 \mu\text{m}$)这两种情况,尽管后者的漂移作用下的收集电流要小一些,但是电荷收集时间较长,其电荷收集总量要稍大于前者(图 6).

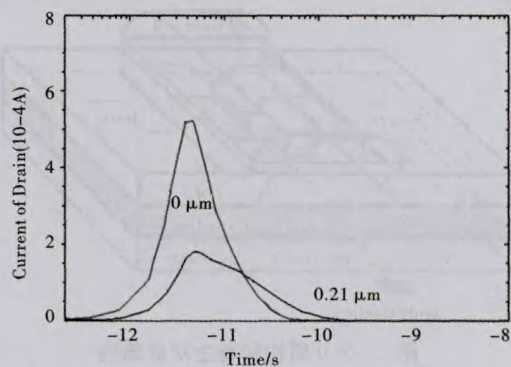


图 5 不同离子入射位置对应的漏极电流

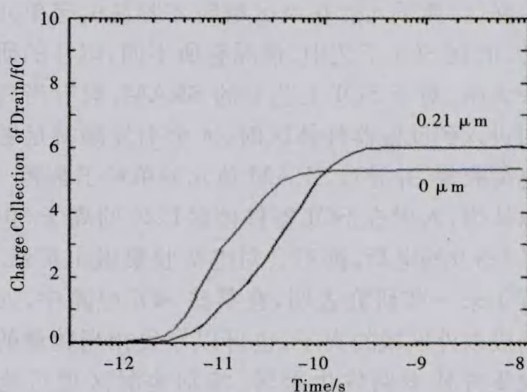


图 6 不同离子入射位置对应的器件电荷收集

所以,综合器件内部电势扰动、电荷收集时间等多种原因的考虑,由电荷收集的结果可以得出,SOI 器件的体区和反偏漏区都可以认为是电荷收集的敏感区域. 离子入射在体区时,漂移作用导致的电荷收集较为强烈;而离子入射在漏区时,扩散作用在电荷收集起主导作用.

2.2 电荷放大

如前提到,入射离子产生的电荷使器件内部电场和电势发生扰动导致漂移电流. 此外,产生的电荷会提高体区电势,这将使寄生双极晶体管开启从而导致源区电子向体区的注入. 在 MOS 器件中,流过体接触的电流可以视为寄生双极管的基极电流,流过漏极的电流被视为集电极电流,将电荷的放大倍数 β 定义为漏区电荷收集(电流的积分) Q_D 同体接触收集电荷 Q_B 的比率,用来表征寄生双极晶体管

的放大^[5].

$$\beta = Q_D/Q_B \quad (1)$$

漏极收集电荷放大的原因就在于源极向体区的电子注入,图4给出了相关信息.对于离子入射在体区中心(0 μm)的情况,箭头示意了源区电子向体区注入的运动方向(入射离子产生的部分电荷分布在源区附近,使源区电子的注入看上去并不十分明显).

离子入射在 0.21 μm 时,产生的电荷主要淀积在漏区,对体区电势的影响很微弱,因体区电势升高引起的源区电子注入量很小.尽管体接触对空穴的收集会降低体区电势,但是器件中的横向电场决定了淀积在漏区附近的电子不会被源极所收集.所以漏极收集的就是入射离子产生的电子,和体接触的电荷收集是基本一致的.

值得一提的是,离子入射在体区中心(0 μm)时,尽管有电子从源区向体区注入,但其漏极收集电荷仍略小于体接触收集的电荷数.因为体接触对空穴的收集降低了体区电势,源区会收集少部分电子,分流掉漏极的收集电流,导致漏极收集电荷降低.随着离子的入射位置向源区靠近并进入到源区,更多电荷淀积在源区而体区的淀积电荷减少,这时体接触对空穴的收集更容易导致体区电势的降低,进而导致源极对附近电子的收集,更大程度上降低了漏极的电荷收集量(图2).

从电荷放大的角度考虑,源区对电子的收集和向体区的电子注入共同影响了漏极的电荷收集.而只有离子入射位置在源区或是靠近源极的体区时,才会引起较为明显的源极电子收集,降低漏极的电荷收集量.结合前文对电荷收集的分析,可以确定,SOI 器件靠近漏区的体区和反偏漏区都是电荷收集的敏感区域.离子从靠近源极的体区入射时,源极对电子的收集会使漏极收集电荷稍微降低.

2.3 SRAM 单元的翻转特性和敏感区域分析

分析器件电荷收集的敏感区域后,接下来对 SRAM 单元的翻转特性进行分析.采用混合模拟的方式,将 NMOS 3D 模型例化到电路仿真环境中.在 SRAM 单元中,其例化的 3D 器件即为上文中 0.3 $\mu\text{m}/0.13 \mu\text{m}$ 的 T 栅体接触的 NMOS 器件,在单元中作为驱动管,其漏端为单元的一个存储节点,电压为 1.2 V,即存储数据“1”.离子入射到驱动管上.由于离子入射在源区所导致的漏极电荷收集比较微弱,所以离子入射位置的范围选定在 -0.09 μm (源-体结所在位置)到 0.24 μm (漏区边缘)的区间内.

图7给出了对应不同入射位置的 SRAM 单元

翻转 LET 阈值,翻转阈值与漏端的电荷收集有着很强烈的关系,收集电荷数越大,对应的单元越容易在较低的 LET 值下发生翻转.和离子入射在源极附近的情况相比,离子入射在反偏漏区和靠近漏极的体区时,单元较为敏感,翻转阈值较低.入射离子穿过漏-体结时(对应位置 0.09 μm)单元最敏感,其翻转阈值最低.

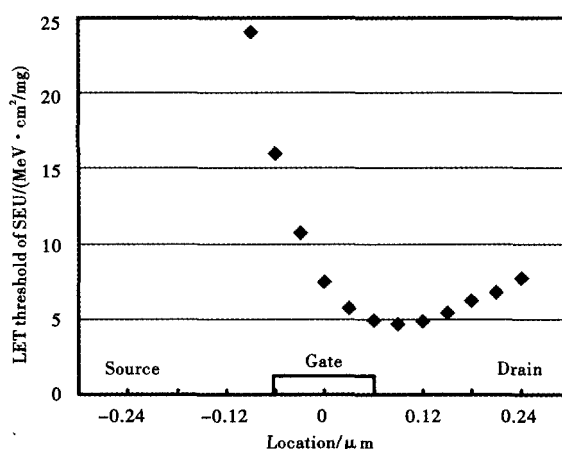


图7 不同离子入射位置对应的单元翻转阈值

3 背栅晶体管总剂量效应的实验分析

SOI 工艺中的隐埋氧化层结构很大程度上影响了器件的抗总剂量辐射水平.电离辐射情况下,SOI NMOS 晶体管中隐埋氧化层的诱发电荷,会增加器件的漏电电流.

标准的薄膜 SOI 工艺中,源漏区的注入贯通其顶层硅膜并与隐埋氧化层接触.每一个 SOI 晶体管固在地包含两个晶体管:由源、漏、栅氧化层和硅栅组成的正栅晶体管,以及由源、漏、隐埋氧化层和衬底组成的背栅晶体管.硅衬底在背栅晶体管中就是器件的栅极.简单的衡量隐埋氧化层中辐射诱发的电荷建立的方法,是测量背栅晶体管的阈值电压变化.

电离辐射时,SOI 晶体管不同的电压偏置方式会影响隐埋氧化层中的电场分布,产生不同的辐射反应^[7].晶体管在电离辐射时的偏置主要有三种:开态(ON)、关态(OFF)以及传输门(TG)状态(表1).辐射环境下,SOI 隐埋氧化层中和 Si/SiO₂ 界面会建立氧化层陷阱电荷和界面陷阱电荷,其中起主导作用的是正的氧化层陷阱电荷.因此,能够诱发隐埋氧化层中最多的陷阱电荷的偏置条件就会导致背栅晶体管阈值电压最大漂移,此种偏置条件能够使隐埋氧化层中的电场达到最强.

表 1 SOI NMOS 晶体管的偏置条件

偏置	源极	栅极	漏极	体接触	衬底
开态	0	VDD	0	0	0
关态	0	0	VDD	0	0
传输门	VDD	0	VDD	0	0

若晶体管偏置在开态并将体接触接地,硅膜上的正电压使辐射产生的电子进入硅膜,并使隐埋氧化层中的空穴向底部衬底方向运动. 隐埋氧化层处 Si/SiO₂ 界面陷阱电荷对硅膜电学特性的影响较小.

体区接地,晶体管偏置在关态时,漏-体结反偏. 电场使氧化层中的空穴陷阱向体区下方运动,在隐埋氧化层中分布的空穴陷阱很少. 在隐埋氧化层处 Si/SiO₂ 界面陷阱的电学影响很弱,所以体区下方的氧化层空穴陷阱决定了背栅晶体管的导电能力. 随着辐射剂量的增加,电场的重建会使陷阱电荷向源区下方分布.

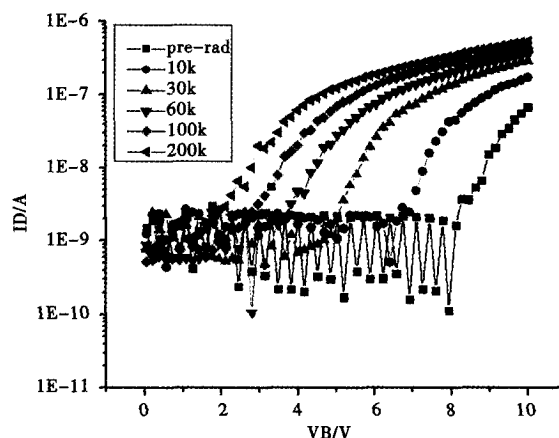
体区接地,晶体管偏置在传输门状态时,源-体结和漏-体结都是反偏的,结附近的电压降很高. 隐埋氧化层中的电场就是在器件外部电压和内部源-体结或是漏-体结的电压作用下分布的结果. 在电场作用下,隐埋氧化层中空穴陷阱向界面处运动. 而器件中电场使界面处的空穴陷阱保持在体区下方,不会发生移动,此时的陷阱电荷就更加有效. 所以对体接触器件,电离辐射的最坏偏置是传输门状态.

研究表明,对于总剂量辐照下的部分耗尽 SOI 工艺下体接触的晶体管,偏置在传输门状态下的 SOI 器件的隐埋氧化层诱发电荷最为严重,当工艺特征尺寸降低到 0.25 μm 以下时,偏置在关态的器件的隐埋氧化层的诱发电荷较之传输门状态更为恶劣. 在工艺尺寸缩小的情况下,SOI 晶体管总剂量辐射的最坏偏置,可能会由传输门状态变为关态,对于 0.13 μm 工艺下的器件,在实验中主要关注这两种偏置的情况.

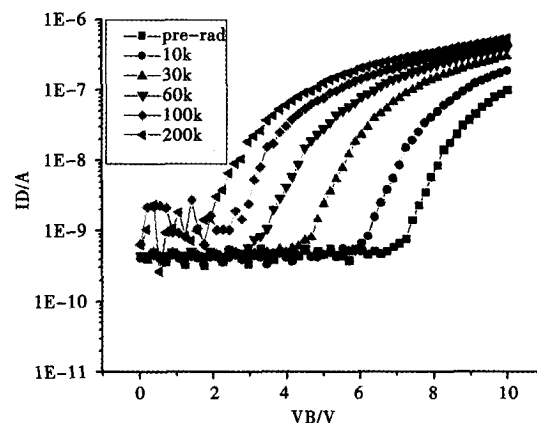
实验样品均为 0.13 μm 工艺下的部分耗尽 SOI 工艺 T 栅体接触 NMOS 晶体管,总剂量辐射源为 Co-60 Gamma 射线,剂量率为 90 rad(Si)/s. 实验中晶体管偏置状态为关断和传输门两种.

以尺寸为 10 $\mu\text{m}/0.5 \mu\text{m}$ 的晶体管为例,两种偏置下电离辐射后的背栅晶体管特性曲线如图 8 所示,偏置在关断状态和传输门状态下的晶体管在 200krad(Si) 累积剂量下的背栅晶体管阈值电压漂

移的绝对值分别是 6.6 V 和 5.7 V. 这可初步说明,对于隐埋氧化层的电离辐射效应,晶体管处于关断偏置比传输门偏置更为恶劣.



(a) 关态偏置



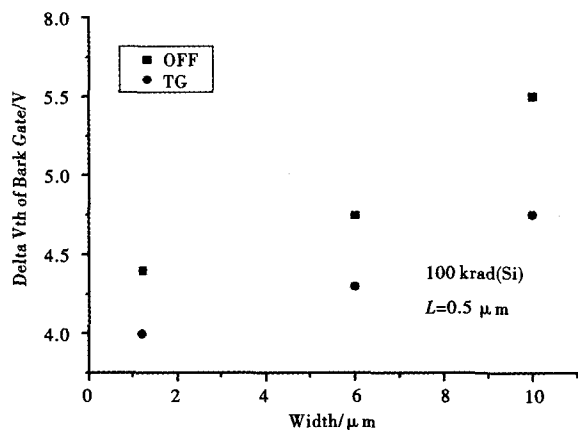
(b) 传输门偏置

图 8 电离辐射下 1.2 $\mu\text{m}/0.5 \mu\text{m}$ 器件的背栅曲线

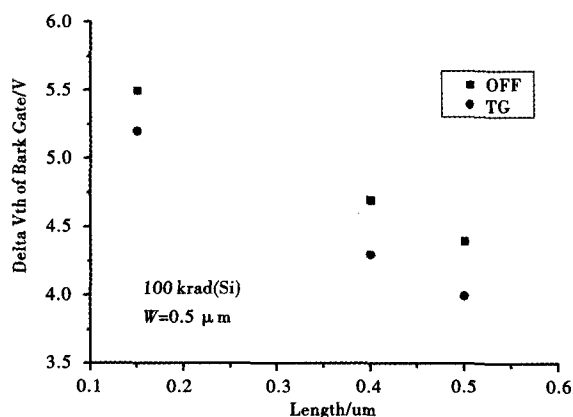
图 9(a)中为一系列沟道长度为 0.5 μm 的器件在 100krad(Si) 辐射剂量下,背栅阈值电压变化. 图 9(b)则为沟道宽度固定为 0.5 μm 的几个不同沟道长度的器件情况. 可以看出,对于该工艺下晶体管的隐埋氧化层,偏置处于关断状态比传输门状态更会导致严重的背栅阈值电压漂移.

4 结束语

文中分别使用仿真和实验的方法,对 0.13 μm 部分耗尽 SOI 工艺的辐射特性进行了研究. 通过三维仿真分析了部分耗尽 SOI NMOS 晶体管的基本电荷收集原理,说明器件靠近漏区的体区和反偏漏区都是电荷收集的敏感区域. 而离子从靠近源极的体区入射时,源极电子收集会使漏极收集电荷稍微降低,从而使单元敏感程度有所减弱. 通过电路仿真



(a) 沟道长度固定的一系列晶体管的背栅阈值漂移



(b) 沟道宽度固定的一系列晶体管的背栅阈值漂移

图9 100krad(Si)电离辐射下晶体管的背栅阈值漂移

对 SRAM 单元翻转特性进行分析,得到了很好的验证.通过实验分析了 SOI 体接触 NMOS 晶体管隐埋氧化层的总剂量辐射效应.通过一系列不同偏置下实验结果的对比和分析,表明对于该工艺下晶体

管的隐埋氧化层,偏置处于关断状态比传输门状态更为恶劣,会导致严重的背栅阈值电压漂移.

参考文献:

- [1] Musseau O. Single-event effects in SOI technologies and devices [J]. IEEE Trans Nucl Sci, 1996(43):603-613.
- [2] Ferlet-Cavrois V, Musseau O, Leray J L, et al. Comparison of the sensitivity to heavy ions of SRAMs in different SIMOX technologies [J]. IEEE Electron Dev Lett, 1994(15):82-84.
- [3] Ishii S, Nakano K, Mitsubishi Heavy Industries [M]. Nagoya, Japan; private communication, 2001.
- [4] Dodd P E, Shaneyfelt M R, Horn K M, et al. SEU-Sensitive volumes in bulk and SOI SRAMs from first-principles calculations and experiments [J]. IEEE Trans Nucl Sci, 2001(48):1893-1903.
- [5] Musseau O, Ferlet-Cavrois V, Pelloie J L, et al. Laser probing of bipolar amplification in 0.25-μm MOS/SOI transistors [J]. IEEE Trans Nucl Sci, 2000(47):2196-2203.
- [6] Dodd P E, Sexton F W, Winokur P S. Three-dimensional simulation of charge collection and multiple-bit upset in Si devices [J]. IEEE Trans Nucl Sci, 2005(41):2005-2011.
- [7] Liu S T, Balster S, Sinha S, et al. Worst case total dose radiation response of 0.35 μm SOI CMOS FETs [J]. IEEE Trans Nucl Sci, 1999,46(6):1817-1823.

作者简介:

张晓晨 女,(1987—),硕士研究生.研究方向为 SOI 工艺 SRAM 设计.